

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-251360

(43)Date of publication of application : 17. 09. 1999

(51) Int. Cl. H01L 21/60
H01L 21/56
H01L 23/28

(21)Application number : 10-052048 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 04. 03. 1998 (72)Inventor : KATAOKA SHIGERU

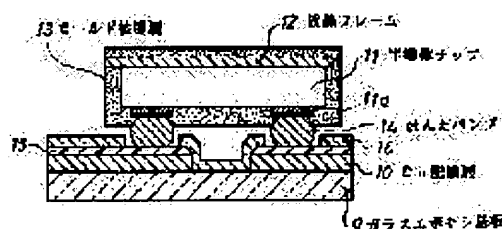
(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and a method which can facilitate the handling of a flip-chip junction and improve its quality and reliability, by improving the strength of a semiconductor element.

SOLUTION: In this semiconductor device, a metallic heat radiating frame 12 is mounted on a non-electrode formation surface of a semiconductor chip 11, and a mold coated layer 13 of insulating resin is formed integrally on the electrode formation surface and the side peripheral faces of the chip 11 except for electrode terminals 11a.

Pb/Sn-based solder bumps 14 are formed respectively on the respective terminals 11a by electroplating or the like with the use of the mold coated layer 13 as a mask. Such a chip 11 is arranged faced-down and jointed onto a Cu wiring layer 10 of a glass epoxy wiring board via the bumps 14. Furthermore, only the frame 12 is exposed on its one end face without being covered with the mold coated layer 13.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the method of manufacturing the semiconductor device of the CSP (Chip Scale package) type which has a good RF property especially, and such a semiconductor device, with respect to a semiconductor device and its manufacture method.

[0002]

[Description of the Prior Art] From the former, there is flip chip bonding as one of the bare chip mounting technology which connects [which connects and direct-carries] a semiconductor chip at a substrate etc. An example of the semiconductor device with which the semiconductor chip was mounted by flip chip bonding is shown in drawing 7.

[0003] In this semiconductor device, on the Cu wiring layer 4 to which the wiring substrates 3, such as a printed wired board, are equivalent, the solder bump 2 is formed on each electrode-terminal 1a of a semiconductor chip 1 by the galvanizing method which used the mask of a photoresist, respectively, it is contacted, and heating melting of these solder bumps 2 is carried out, and they are joined (flip chip junction). Moreover, a closure layer 5 of an insulating resin like an epoxy resin is formed in the outside of these joints and a semiconductor chip 1 of potting etc. In addition, in the sign 6 in drawing, the nickel-Au layer and sign 7 by which laminating formation was carried out on the Cu wiring layer 4 show the solder-resist layer, respectively.

[0004] Thus, as compared with the semiconductor device mounted by wirebonding, since a bonding wire with a small component-side product is not used for the semiconductor device with which flip chip junction of the semiconductor chip 1 was carried out, it has an advantage, like there are few inductance components, and it is indispensable to a mobile communications field like the cellular phone which needs the high density assembly of a radio-frequency-head article.

[0005]

[Problem(s) to be Solved by the Invention] However, in such a conventional semiconductor device, to the final process which forms the resin-seal layer 5, since a semiconductor chip 1 was in the state of a bare chip, there was a possibility that a semiconductor chip 1 might be damaged, at the time of the test after a die sort test, and loading to the wiring substrate 3 etc. at the time of storage. since the mechanical strength is weak as compared with a silicon substrate (rigidity is small), especially a compound semiconductor substrate like Ga-As used for a RF circuit is shown in drawing 8 -- as -- a semiconductor chip 1 -- pinching from both sides -- since a crack occurred and it was easy to damage according to the pinching force of joining the flank of a semiconductor chip 1 in case it inserts by the member 8 and carries on the wiring substrate 3, it was difficult to maintain high quality and high reliability

[0006] this invention was made in order to solve these problems, it raises the intensity of a semiconductor device, makes the handling in flip chip junction easy, and aims at offering the manufacture method of the semiconductor device which raised quality and reliability, and such a semiconductor device.

[0007]

[Means for Solving the Problem] The semiconductor device of this invention is arranged at the wiring substrate by which the wiring layer was arranged in at least 1 principal plane of the insulating base material of a tabular, and a face down, is equipped with the semiconductor device joined to the wiring layer of the aforementioned wiring substrate through the bump prepared on the electrode terminal, respectively, and is characterized by forming the mould enveloping layer of an insulating resin, respectively on the electrode forming face except the aforementioned electrode-terminal top of the aforementioned semiconductor device, and a side peripheral surface.

[0008] The manufacture method of the semiconductor device of this invention moreover, on the electrode forming face except the electrode-terminal top of the semiconductor device by which the necessary circuit element was formed on the semiconductor substrate, and a side peripheral surface The mould process which forms the enveloping layer of an insulating resin by mould fabrication using metal mold, The process which forms a bump on the electrode terminal of the aforementioned semiconductor device by using as a mask the resin enveloping layer formed at the aforementioned mould process, The semiconductor device in which the bump was formed at the aforementioned process is arranged to a face down, and it is characterized by having the process joined to the wiring layer formed in at least 1 principal plane of the insulating base material of a tabular through the aforementioned bump.

[0009] It sets to the semiconductor device and its manufacture method of this invention, and they are Ga-As and a periodic table like In-P besides a silicon semiconductor device as a semiconductor device. The element by which necessary circuit elements, such as an electrode, were formed on the substrate of the compound semiconductor of an III group element and V group element can be used. The use as an optical device or a ultra high-speed device is possible for the semiconductor device with which such compound semiconductor element was mounted by the high electron mobility of a compound semiconductor.

[0010] Moreover, as a covering closure layer of the insulating resin prepared on the electrode forming face except the electrode-terminal top of such a semiconductor device etc., the enveloping layer which consists, for example of an epoxy resin is mentioned. It is desirable to perform formation of this enveloping layer by carrying out the transfermold of the epoxy resin using the metal mold which has a predetermined cavity configuration.

[0011] Furthermore, bumps, such as solder of an Pb/Sn system, are mentioned as a bump prepared on each electrode terminal of the semiconductor device in which the mould enveloping layer of an insulating resin was formed in this way. It is desirable to perform a bump's formation with the electrolysis plating of the solder to an electrode-terminal top, by galvanizing by using as a mask the resin mould enveloping layer formed in the periphery of a semiconductor device except for the electrode-terminal top, the process of masking using a series of photograph processes of formation of a photoresist layer, exposure, development, and ablation can be skipped, and a bump formation process is simplified.

[0012] In this invention, the glass-fabrics-resin sinking-in substrate which the number of is one, or carried out the laminating of the prepreg which infiltrated an insulating resin like an epoxy resin into glass fabrics, and fabricated it, for example as a wiring substrate in which such a semiconductor device is mounted by flip chip junction is made into a base material, and the glass-epoxy wiring substrate by which the wiring layer was formed in the at least 1 principal plane of etching of copper foil etc. is used. Use of the wiring substrate which makes a ceramic substrate and a glass substrate an insulating base material in addition to such a wiring substrate is also possible.

[0013] In this invention, the plate-like part material which consists of copper or aluminum is mentioned as metal radiator material. Such radiator material is arranged so that one principal plane's may touch the electrode forming face of a semiconductor device, and the field (it is hereafter indicated as a non-electrode forming face.) of an opposite side and at least the part's may be exposed from the mould enveloping layer of an insulating resin, emits the heat from a semiconductor device outside efficiently, and reduces thermal resistance. In addition, as radiator material of such a tabular, although one board of a wrap size may be used, you may use the whole non-electrode forming face of a semiconductor device

for two or more sheets of a copper plate or an aluminum plate with narrow width of face, arranging in parallel.

[0014] Furthermore, while making such metal radiator material extend for a long time on the outside of a mould enveloping layer, by connecting an edge to the wiring layer of a wiring substrate electrically, grounding can be secured as a grand layer and an electromagnetic wave can be covered.

[0015] In the semiconductor device by which flip chip junction was carried out through bumps, such as solder prepared on the electrode terminal, in this invention at the wiring layer of a wiring substrate Since the mould enveloping layer of an insulating resin is formed in the electrode forming face except the electrode-terminal top which is the bump formation section, and side peripheral surface superiors The mechanical strength of a semiconductor device improves, handling is easy, breakage of the semiconductor devices at the time of mounting to a wiring substrate etc. is prevented, and a reliable semiconductor device is obtained. Moreover, a bump can be efficiently formed by using the mould enveloping layer of an insulating resin as a mask, and a bump formation process is simplified.

[0016]

[Embodiments of the Invention] Hereafter, the example of this invention is explained based on a drawing.

[0017] Drawing 1 shows the 1st example of the semiconductor device of this invention in cross section. In drawing, a sign 9 shows a glass-fabrics-epoxy resin sinking-in substrate (glass epoxy-group board), the Cu wiring layer 10 is formed in one principal plane of this substrate by etching of copper foil etc., and the glass epoxy patchboard is constituted. Moreover, a sign 11 shows the semiconductor chip which circuit elements, such as electrode-terminal 11a, are formed on silicon or the semiconductor substrate of GaAs, and is needed and which was divided for every functional unit, and the metal thermolysis frames 12, such as copper, are attached on the non-electrode forming face of this semiconductor chip 11.

Moreover, on the thermolysis frame 12 on the electrode forming face except the electrode-terminal 11a top of a semiconductor chip 11, and a side peripheral surface, and by the side of a non-electrode forming face, the mould enveloping layer 13 of an insulating resin like an epoxy resin is formed in one, and only one end face of the thermolysis frame 12 is exposed, without being covered by the mould enveloping layer 13. Furthermore, on electrode-terminal 11a of a semiconductor chip 11, the bump 14 of the shape of a ball which consists of the solder of an Pb/Sn system is formed through middle metal layers (illustration is omitted.), such as Cr-Cu-Au. And such a semiconductor chip 11 is arranged at a face down, and is joined through the solder bump 14 on the nickel-Au layer 15 by which laminating formation was carried out on the Cu wiring layer 10 (wiring pad) of said glass epoxy patchboard. In addition, the sign 16 in drawing shows the solder-resist layer prepared for the short circuit prevention during wiring on a glass epoxy patchboard, and the solder bump's 14 dam, respectively.

[0018] As the semiconductor device of the 1st example which has such structure is shown below, it is manufactured. That is, as first shown in drawing 2 (a), adhesion fixation of the non-electrode forming face of a semiconductor chip 11 is carried out by the paste mounting method for having used the metal eutectic mounting method or the adhesive paste on the metal heat dissipation frame 12. subsequently, the metal mold as shown in drawing 2 (b), after carrying out alignment of this semiconductor chip 11 and setting it in the metal mold 17 designed so that a mould resin might not adhere to the electrode-terminal 11a section -- an insulating resin for moulds like an epoxy resin is pressed fit in a cavity, and the mould enveloping layer 13 is fabricated to one In addition, at this time, it is desirable to operate orthopedically the configuration of a portion where metal mold 17 corresponds so that the end face of the mould enveloping layer 13 may present a taper configuration to the surroundings of the electrode-terminal 11a section in which a bump is formed at the process mentioned later.

[0019] Next, as shown in drawing 2 (c), after carrying out electrolysis plating of the solder through middle metal layers, such as Cr-Cu-Au, on electrode-terminal 11a of a semiconductor chip 11 by using as a mask the mould enveloping layer 13 formed in this way, the solder bump 14 is formed by carrying out a reflow. Moreover, cutting removal of the portion projected outside from the mould enveloping layer 13 of the thermolysis frame 12 which fixed to the non-electrode forming face of a semiconductor chip 11 is carried out. Subsequently, after having attached the thermolysis frame 12 grade in this way,

having arranged the semiconductor chip 11 by which the mould enveloping layer 13 was formed in the periphery to the face down as shown in drawing 2 (d), carrying on a glass epoxy patchboard and making the solder bump 14 contact the nickel-Au layer 15 of Cu wiring pad, heating melting of the solder is carried out and electrode-terminal 11a of a semiconductor chip 11 and the Cu wiring layer 10 are joined.

[0020] thus, in the semiconductor device of the 1st example manufactured In the semiconductor chip 11 joined to the Cu wiring layer 10 of a glass epoxy patchboard through the solder bump 14 formed on each electrode-terminal 11a Since the mould enveloping layer 13 of an insulating resin is formed on the thermolysis frame 12 on the electrode forming face except the solder bump 14 formation section, and a side peripheral surface, and by the side of a non-electrode forming face The mechanical strength of a semiconductor chip 11 improves and breakage of the semiconductor chips 11 at the time of mounting to a patchboard etc. is prevented. Moreover, since the solder bump 14 can be formed with the plating of electrolysis etc. by using the mould enveloping layer 13 of an insulating resin as a mask, a bump formation process is simplified and efficient bump formation is possible. Furthermore, since the metal thermolysis frame 12 is attached in the non-electrode forming face of a semiconductor chip 11 and one end face of the thermolysis frame 12 of a parenthesis is exposed to the outside of the mould enveloping layer 13, thermolysis nature is raised and improvement in reliability is attained.

[0021] Next, another example of the semiconductor device of this invention is explained based on drawing 3 or drawing 6 , respectively. In addition, in these drawings, the same sign is given to the same portion as drawing 1 , and explanation is omitted.

[0022] As shown in drawing 3 , in the 2nd example of this invention The end face of the right-and-left both sides of the metal thermolysis frame 12, The principal plane (drawing upper surface) by the side of un-attaching to a semiconductor chip 11 has exposed structure, without being covered by the mould enveloping layer 13 of an insulating resin, respectively. at the mould process of an insulating resin As shown in drawing 4 , it can manufacture by performing mould fabrication using the metal mold 17 with which the configuration of a cavity was designed so that a mould resin may not adhere to the principal plane by the side of un-attaching [of the thermolysis frame 12].

[0023] In the semiconductor device of this example, since the mould enveloping layer 13 of an insulating resin is formed on the electrode forming face except the solder bump 14 formation section of a semiconductor chip 11, and the side peripheral surface, the mechanical strength of a semiconductor chip 11 improves, and breakage is prevented, and also the solder bump's 14 formation process is simplified. Moreover, since not only the end face of the both sides of the thermolysis frame 12 but the principal plane by the side of un-pasting up is exposed to the outside of the mould enveloping layer 13, thermolysis nature is raised more and reliability improves.

[0024] In the 3rd example of this invention, as shown in drawing 5 , while extending on the outside of the mould enveloping layer 13 of an insulating resin, respectively, the edge of the right-and-left both sides of the metal thermolysis frame 12 The both ends which extension section 12a is bent caudad and bent In the semiconductor device of the 3rd example of such structure joined through the Cu wiring layer 10 and the nickel-Au layer 15 of a glass epoxy patchboard, respectively Since the metal thermolysis frame 12 arranged in contact with the non-electrode forming face of a semiconductor chip 11 extends on the outside of the mould enveloping layer 13 and the edge of extension section 12a of both sides is electrically connected with the Cu wiring layer 10, respectively The effect which can secure grounding by using this thermolysis frame 12 as a grand layer, and covers an electromagnetic wave is high.

[0025] In addition, also in the semiconductor device which has the heat dissipation frame 12 which extended on such both sides, as shown in drawing 6 , it is possible for the mould enveloping layer 13 to raise heat dissipation nature for the principal plane (upper surface) by the side of un-pasting [of the heat dissipation frame 12] up more by the thing exposed that there is nothing, alias a wrap, and to aim at improvement in reliability.

[0026]

[Effect of the Invention] In this invention, since the mould enveloping layer of an insulating resin is

formed in the wiring layer of a wiring substrate of the mould fabrication which used metal mold on the electrode forming face except the electrode-terminal top of the semiconductor device by which flip chip junction is carried out, or the side peripheral surface etc., the mechanical strength of a semiconductor device improves and breakage of the semiconductor devices at the time of mounting to a wiring substrate etc. is prevented, so that clearly from the above explanation. Moreover, as a mask, since the bump to the electrode-terminal top of a semiconductor device can be formed for the mould enveloping layer of an insulating resin, a process is simplified, and bump formation can be performed efficiently.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The cross section showing the 1st example of the semiconductor device of this invention.

[Drawing 2] The cross section showing each process for manufacturing the semiconductor device of the 1st example in order.

[Drawing 3] The cross section showing the 2nd example of the semiconductor device of this invention.

[Drawing 4] The cross section showing the resin mould process for manufacturing the semiconductor device of the 2nd example.

[Drawing 5] The cross section showing the 3rd example of the semiconductor device of this invention.

[Drawing 6] The cross section showing the 4th example of the semiconductor device of this invention.

[Drawing 7] The cross section showing an example of the semiconductor device by which flip chip junction was carried out from the former.

[Drawing 8] The cross section for explaining the trouble in the conventional semiconductor device.

[Description of Notations]

9 Glass epoxy-group board

10 Cu wiring layer

11 Semiconductor chip

11a Electrode terminal

12 Thermolysis frame

12a Extension section

13 Mould enveloping layer of an insulating resin

14 Solder bump

16 Solder-resist layer

17 Metal mold

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device which is equipped with the following and characterized by forming the mould enveloping layer of an insulating resin, respectively on the electrode forming face except the aforementioned electrode-terminal top of the aforementioned semiconductor device, and a side peripheral surface. The wiring substrate by which the wiring layer was arranged in at least 1 principal plane of the insulating base material of a tabular. The semiconductor device joined to the wiring layer of the aforementioned wiring substrate through the bump who has been stationed at the face down and prepared on the electrode terminal, respectively.

[Claim 2] The semiconductor device according to claim 1 characterized by forming a circuit element necessary in the aforementioned semiconductor device on the substrate of a III-V group compound semiconductor.

[Claim 3] The semiconductor device according to claim 1 or 2 characterized by preparing metal radiator material and exposing a part of radiator material [at least] of a parenthesis to the outside of the aforementioned mould enveloping layer so that the electrode forming face of the aforementioned semiconductor device and the field of an opposite side may be touched.

[Claim 4] The semiconductor device according to claim 3 with which the edge of the aforementioned metal radiator material is characterized by connecting with the wiring layer of the aforementioned wiring substrate.

[Claim 5] The manufacture method of a semiconductor device characterized by providing the following. The mould process which forms the enveloping layer of an insulating resin by mould fabrication which used metal mold on the electrode forming face except the electrode-terminal top of the semiconductor device by which the necessary circuit element was formed on the semiconductor substrate, and a side peripheral surface. The process which forms a bump on the electrode terminal of the aforementioned semiconductor device by using as a mask the resin enveloping layer formed at the aforementioned mould process. The process joined to the wiring layer which has arranged the semiconductor device in which the bump was formed at the aforementioned process to the face down, and was formed in at least 1 principal plane of the insulating base material of a tabular through the aforementioned bump.

[Claim 6] in the aforementioned mould process, the principal plane of one of these is made for metal radiator material to contact the electrode forming face of the aforementioned semiconductor device, and the field of an opposite side, and a part is projected on the outside of metal mold -- making -- metal mold -- the manufacture method of the semiconductor device according to claim 5 characterized by arranging inside

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-251360

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁴

H 0 1 L 21/60
21/56
23/28

識別記号

3 1 1

F I

H 0 1 L 21/60
21/56
23/28

3 1 1 Q
T
F

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平10-52048

(22) 出願日 平成10年(1998) 3月4日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 片岡 茂

神奈川県川崎市幸区小向東芝町1 株式会

社東芝多摩川工場内

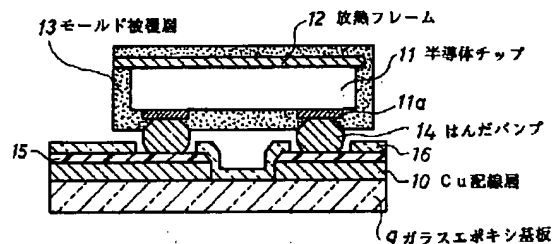
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 半導体素子の強度を向上させてフリップチップ接合における取扱いを容易にし、品質並びに信頼性を向上させた半導体装置とその製造方法を提供する。

【解決手段】 本発明の半導体装置では、半導体チップ11の非電極形成面上に金属製の放熱フレーム12が取付けられ、かつ電極端子11a上を除く電極形成面および側周面上などに、絶縁性樹脂のモールド被覆層13が一体に形成されている。また、電極端子11a上にPb/Sn系のはんだバンプ14が、樹脂モールド被覆層13をマスクとし電解めっき等により、それぞれ形成されている。そして、このような半導体チップ11がフェースダウンに配置され、ガラスエポキシ配線板のCu配線層10上に、はんだバンプ14を介して接合されている。さらに、放熱フレーム12では、一方の端面のみがモールド被覆層13により覆われることなく露出している。



【特許請求の範囲】

【請求項1】 板状の絶縁基材の少なくとも一主面に配線層が配設された配線基板と、フェースダウンに配置され、電極端子上にそれぞれ設けられたバンパを介して前記配線基板の配線層に接合された半導体素子とを備え、前記半導体素子の前記電極端子上を除いた電極形成面および側周面上に、それぞれ絶縁性樹脂のモールド被覆層が形成されていることを特徴とする半導体装置。

【請求項2】 前記半導体素子が、III-V族化合物半導体の基板上に、所要の回路素子が形成されたものであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体素子の電極形成面と反対側の面に接するように、金属製の放熱部材が設けられており、かつこの放熱部材の少なくとも一部が、前記モールド被覆層の外側に露出されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記金属製の放熱部材の端部が、前記配線基板の配線層に接続されていることを特徴とする請求項3記載の半導体装置。

【請求項5】 半導体基板上に所要の回路素子が形成された半導体素子の電極端子上を除いた電極形成面および側周面上に、金型を用いたモールド成形により絶縁性樹脂の被覆層を形成するモールド工程と、前記モールド工程で形成された樹脂被覆層をマスクとして、前記半導体素子の電極端子上にバンパを形成する工程と、前記工程でバンパが形成された半導体素子をフェースダウンに配置し、板状の絶縁基材の少なくとも一主面に形成された配線層に、前記バンパを介して接合する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項6】 前記モールド工程において、金属製の放熱部材を、その一方の主面を前記半導体素子の電極形成面と反対側の面に当接させ、かつ一部を金型の外側に突出させて金型内に配置することを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係わり、特に良好な高周波特性を有するCSP（Chip Scale package）タイプの半導体装置と、そのような半導体装置を製造する方法に関する。

【0002】

【従来の技術】従来から、半導体チップを基板等に直接搭載・接続するベアチップ実装技術の一つとして、フリップチップボンディングがある。フリップチップボンディングにより半導体チップが実装された半導体装置の一例を、図7に示す。

【0003】この半導体装置では、半導体チップ1の各電極端子1a上に、フォトレジストのマスクを用いためっき法などにより、それぞれはんだバンパ2が形成され、これらのはんだバンパ2が、プリント配線板等の配

線基板3の対応するCu配線層4上に当接され、加熱溶融されて接合（フリップチップ接合）されている。また、これらの接合部および半導体チップ1の外側には、エポキシ樹脂のような絶縁性樹脂の封止層5が、ボンディング等により形成されている。なお、図中符号6は、Cu配線層4上に積層形成されたNi-Au層、符号7は、ソルダレジスト層をそれぞれ示している。

【0004】このように半導体チップ1がフリップチップ接合された半導体装置は、ワイヤボンディングにより実装された半導体装置と比較して、実装面積が小さい、ボンディングワイヤを使用しないためインダクタンス成分が少ない等の利点があり、高周波部品の高密度実装を必要とする携帯電話のような移動体通信分野に必要不可欠のものとなっている。

【0005】

【発明が解決しようとする課題】しかしながら、このような従来の半導体装置においては、樹脂封止層5を形成する最終工程まで、半導体チップ1がベアチップの状態であるため、保管時、ダイソートテスト後のテスト時および配線基板3への搭載時などに、半導体チップ1が破損してしまうおそれがあった。特に、高周波回路に使用されるGa-Asのような化合物半導体基板は、シリコン基板と比較して機械的強度が弱い（剛性率が小さい）ため、図8に示すように、半導体チップ1を両側から挟持部材8により挟んで配線基板3上に搭載する際に、半導体チップ1の側部に加わる挟持力により、クラックが発生して破損しやすいため、高い品質並びに信頼性を維持することが難しかった。

【0006】本発明は、これらの問題を解決するためになされたもので、半導体素子の強度を向上させてフリップチップ接合における取扱いを容易にし、品質並びに信頼性を向上させた半導体装置と、そのような半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の半導体装置は、板状の絶縁基材の少なくとも一主面に配線層が配設された配線基板と、フェースダウンに配置され、電極端子上にそれぞれ設けられたバンパを介して前記配線基板の配線層に接合された半導体素子とを備え、前記半導体素子の前記電極端子上を除いた電極形成面および側周面上に、それぞれ絶縁性樹脂のモールド被覆層が形成されていることを特徴とする。

【0008】また、本発明の半導体装置の製造方法は、半導体基板上に所要の回路素子が形成された半導体素子の電極端子上を除いた電極形成面および側周面上に、金型を用いたモールド成形により絶縁性樹脂の被覆層を形成するモールド工程と、前記モールド工程で形成された樹脂被覆層をマスクとして、前記半導体素子の電極端子上にバンパを形成する工程と、前記工程でバンパが形成された半導体素子をフェースダウンに配置し、板状の絶

縁基材の少なくとも一主面に形成された配線層に、前記バンパを介して接合する工程とを備えたことを特徴とする。

【0009】本発明の半導体装置およびその製造方法において、半導体素子としては、シリコン半導体素子の他に、例えばGa-As、In-Pのような周期律表のⅢ族元素とⅤ族元素の化合物半導体の基板上に電極等の所要の回路素子が形成された素子を使用することができる。このような化合物半導体素子が実装された半導体装置は、化合物半導体の高い電子移動度により、光デバイスや超高速デバイスとしての使用が可能である。

【0010】また、このような半導体素子の電極端子上を除いた電極形成面等の上に設けられる絶縁性樹脂の被覆封止層としては、例えばエポキシ樹脂から成る被覆層が挙げられる。この被覆層の形成は、所定のキャビティ形状を有する金型を用い、エポキシ樹脂をトランスファモールドすることにより行なうことが望ましい。

【0011】さらに、このように絶縁性樹脂のモールド被覆層が形成された半導体素子の各電極端子上に設けられるバンパとしては、Pb/Sn系のはんだ等のバンパが挙げられる。バンパの形成は、電極端子上へのはんだの電解めっきにより行なうことが望ましく、電極端子上を除いて半導体素子の外周に形成された樹脂モールド被覆層をマスクとしてめっきを行なうことで、フォトリソプロセスを用いたマスクングの工程を省略することができ、バンパ形成工程が簡素化される。

【0012】本発明において、このような半導体素子がフリップチップ接合により実装される配線基板としては、例えば、ガラスクロスにエポキシ樹脂のような絶縁性樹脂を含浸させたプリプレグを1層または積層して成形したガラスクロス-樹脂含浸基板を基材とし、その少なくとも一主面に銅箔のエッチング等により配線層が形成されたガラス-エポキシ配線基板が使用される。このような配線基板以外に、セラミック基板やガラス基板を絶縁基材とする配線基板の使用も可能である。

【0013】本発明において、金属製の放熱部材としては、銅またはアルミニウムから成る板状部材が挙げられる。このような放熱部材は、一方の主面が半導体素子の電極形成面と反対側の面（以下、非電極形成面と示す。）に接し、かつその少なくとも一部が絶縁性樹脂のモールド被覆層から露出するように配置されることで、半導体素子からの熱を効率的に外部に放出し、熱抵抗を低減させる。なお、このような板状の放熱部材として、半導体素子の非電極形成面全体を覆う大きさの一枚の板を使用しても良いが、幅の狭い銅板またはアルミニウム板の複数枚を、平行に配列して使用しても良い。

【0014】さらに、このような金属製の放熱部材をモールド被覆層の外側に長く延出させるとともに、端部を配線基板の配線層に電気的に接続することにより、グラ

ンド層として接地を確保し、電磁波を遮蔽することができる。

【0015】本発明では、電極端子上に設けられたはんだ等のバンパを介して、配線基板の配線層にフリップチップ接合された半導体素子において、バンパ形成部である電極端子上を除いた電極形成面および側周面上等に、絶縁性樹脂のモールド被覆層が形成されているので、半導体素子の機械的強度が向上して取扱いが容易になっており、配線基板への実装時などの半導体素子の破損が防止され、信頼性の高い半導体装置が得られる。また、絶縁性樹脂のモールド被覆層をマスクとして、効率的にバンパの形成を行なうことができ、バンパ形成工程が簡素化される。

【0016】

【発明の実施の形態】以下、本発明の実施例を図面に基づいて説明する。

【0017】図1は、本発明の半導体装置の第1の実施例を断面的に示したものである。図において、符号9は、ガラスクロス-エポキシ樹脂含浸基板（ガラスエポキシ基板）を示し、この基板の一方の主面に銅箔のエッチング等によりCu配線層10が設けられ、ガラスエポキシ配線板が構成されている。また符号11は、シリコンやGaAsの半導体基板上に電極端子11a等の回路素子が形成され、必要とされる機能単位ごとに分割された半導体チップを示し、この半導体チップ11の非電極形成面上に、銅等の金属製の放熱フレーム12が取付けられている。また、半導体チップ11の電極端子11a上を除く電極形成面上と側周面上、および非電極形成面側の放熱フレーム12上には、エポキシ樹脂のような絶縁性樹脂のモールド被覆層13が一体に形成されており、放熱フレーム12の一方の端面のみが、モールド被覆層13により覆われることなく露出している。さらに、半導体チップ11の電極端子11a上には、Cr-Cu-Au等の中間金属層（図示を省略。）を介して、Pb/Sn系のはんだから成るボール状のバンパ14が設けられている。そして、このような半導体チップ11がフェースダウンに配置され、前記したガラスエポキシ配線板のCu配線層10（配線パッド）上に積層形成されたNi-Au層15上に、はんだバンパ14を介して接合されている。なお、図中符号16は、ガラスエポキシ配線板上に配線間の短絡防止とはんだバンパ14のダムのために設けられたソルダレジスト層をそれぞれ示している。

【0018】このような構造を有する第1の実施例の半導体装置は、以下に示すようにして製造される。すなわち、まず図2（a）に示すように、半導体チップ11の非電極形成面を、金属製の放熱フレーム12上に、金属共晶マウント法または接着性ペーストを用いたペーストマウント法により接着固定する。次いで、この半導体チップ11を、図2（b）に示すように、電極端子11a

部にモールド樹脂が付着しないように設計された金型17内に、位置合わせしてセットした後、金型キャビティ内にエポキシ樹脂のようなモールド用絶縁性樹脂を圧入し、モールド被覆層13を一体に成形する。なおこのとき、後述する工程でバンパが形成される電極端子11a部の周りにおいては、モールド被覆層13の端面がテーパー形状を呈するように、金型17の対応する部分の形状を整形しておくことが望ましい。

【0019】次に、図2(c)に示すように、こうして形成されたモールド被覆層13をマスクとして、半導体チップ11の電極端子11a上にCr-Cu-Au等の中間金属層を介してはんだを電解めっきした後、リフローさせることによりはんだバンパ14を形成する。また、半導体チップ11の非電極形成面に固着された放熱フレーム12のモールド被覆層13から外側に突出した部分を、切断除去する。次いで、こうして放熱フレーム12等が取付けられ、外周にモールド被覆層13が形成された半導体チップ11を、図2(d)に示すように、フェースダウンに配置してガラスエポキシ配線板上に搭載し、はんだバンパ14をCu配線パッドのNi-Au層15に当接させた後、はんだを加熱溶融させて、半導体チップ11の電極端子11aとCu配線層10とを接合する。

【0020】このように製造される第1の実施例の半導体装置では、各電極端子11a上に形成されたはんだバンパ14を介して、ガラスエポキシ配線板のCu配線層10に接合された半導体チップ11において、はんだバンパ14形成部を除いた電極形成面と側周面上および非電極形成面側の放熱フレーム12上に、絶縁性樹脂のモールド被覆層13が設けられているので、半導体チップ11の機械的強度が向上し、配線板への実装時などの半導体チップ11の破損が防止される。また、絶縁性樹脂のモールド被覆層13をマスクとして、電解等のめっきによりはんだバンパ14の形成を行なうことができるので、バンパ形成工程が簡素化され、効率的なバンパ形成が可能である。さらに、半導体チップ11の非電極形成面に金属製の放熱フレーム12が取着され、かつこの放熱フレーム12の一方の端面がモールド被覆層13の外側に露出されているので、放熱性が高められ、信頼性の向上が達成される。

【0021】次に、本発明の半導体装置の別の実施例を、図3乃至図6に基づいてそれぞれ説明する。なお、これらの図において、図1と同一の部分には同一の符号を付して説明を省略する。

【0022】本発明の第2の実施例においては、図3に示すように、金属製の放熱フレーム12の左右両側の端面と、半導体チップ11への非取着側の主面(図では上面)が、それぞれ絶縁性樹脂のモールド被覆層13により覆われることなく、露出した構造となっており、絶縁性樹脂のモールド工程で、図4に示すように、放熱フレ

ーム12の非取着側の主面にモールド樹脂が付着しないように、キャビティの形状が設計された金型17を用いてモールド成形を行なうことにより、製造することができる。

【0023】この実施例の半導体装置では、半導体チップ11のはんだバンパ14形成部を除いた電極形成面と側周面上に、絶縁性樹脂のモールド被覆層13が設けられているので、半導体チップ11の機械的強度が向上し破損が防止されるうえに、はんだバンパ14の形成工程が簡素化される。また、放熱フレーム12の両側の端面だけでなく非取着側の主面が、モールド被覆層13の外側に露出しているため、放熱性がより高められ、信頼性が向上する。

【0024】本発明の第3の実施例においては、図5に示すように、金属製の放熱フレーム12の左右両側の端部が、絶縁性樹脂のモールド被覆層13の外側にそれぞれ延出されるとともに、延出部12aが下方に折り曲げられており、折り曲げられた両端部が、それぞれガラスエポキシ配線板のCu配線層10とNi-Au層15を介して接合されている、このような構造の第3の実施例の半導体装置においては、半導体チップ11の非電極形成面に接して配設された金属製の放熱フレーム12が、モールド被覆層13の外側に延出され、かつ両側の延出部12aの端部がそれぞれCu配線層10と電気的に接続されているので、この放熱フレーム12をグランド層として接地を確保することができ、電磁波を遮蔽する効果が高い。

【0025】なお、このような両側に延出された放熱フレーム12を有する半導体装置においても、図6に示すように、放熱フレーム12の非取着側の主面(上面)を、モールド被覆層13により覆うことなく露出することで、放熱性をより高め信頼性の向上を図ることが可能である。

【0026】

【発明の効果】以上の説明から明らかなように、本発明においては、配線基板の配線層にフリップチップ接合される半導体素子の、電極端子上を除いた電極形成面や側周面上などに、絶縁性樹脂のモールド被覆層が金型を用いたモールド成形等により形成されているので、半導体素子の機械的強度が向上し、配線基板への実装時などの半導体素子の破損が防止される。また、半導体素子の電極端子上へのバンパの形成を、絶縁性樹脂のモールド被覆層をマスクとして行なうことができるので、工程が簡素化され、バンパ形成を効率的に行なうことができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1の実施例を示す断面図。

【図2】第1の実施例の半導体装置を製造するための各工程を順に示す断面図。

【図3】本発明の半導体装置の第2の実施例を示す断面

図。

【図4】第2の実施例の半導体装置を製造するための樹脂モールド工程を示す断面図。

【図5】本発明の半導体装置の第3の実施例を示す断面図。

【図6】本発明の半導体装置の第4の実施例を示す断面図。

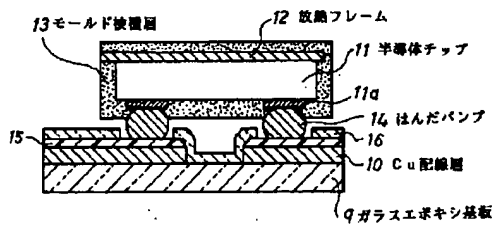
【図7】従来からのフリップチップ接合された半導体装置の一例を示す断面図。

【図8】従来の半導体装置における問題点を説明するための断面図。

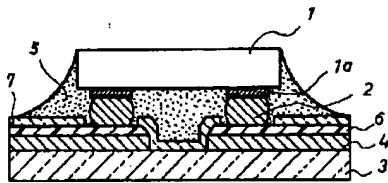
【符号の説明】

- 9……………ガラスエポキシ基板
- 10……………Cu配線層
- 11……………半導体チップ
- 11a……………電極端子
- 12……………放熱フレーム
- 12a……………延出部
- 13……………絶縁性樹脂のモールド被覆層
- 14……………はんだバンプ
- 16……………ソルダレジスト層
- 17……………金型

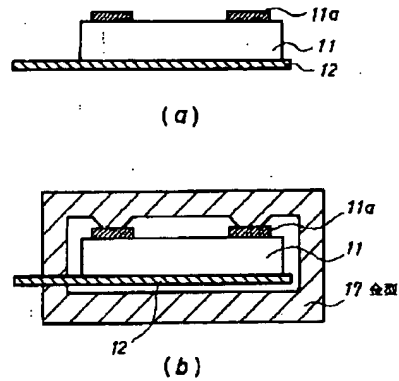
【図1】



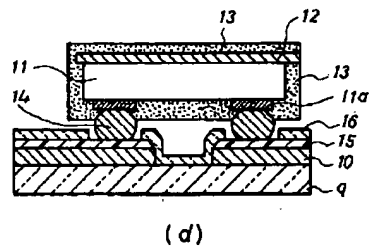
【図7】



【図2】

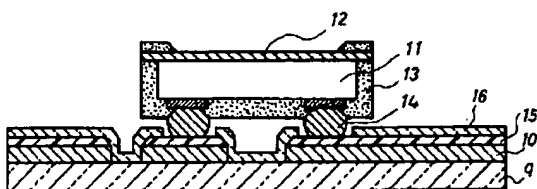


(c)

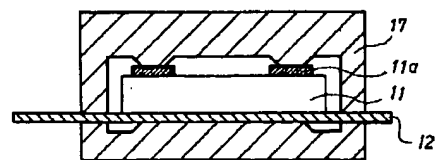


(d)

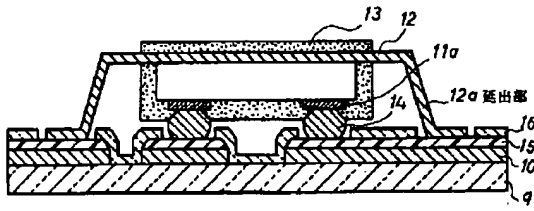
【図3】



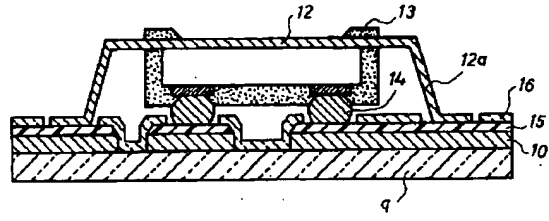
【図4】



【図5】



【図6】



【図8】

